

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-213562

(13)公開日 平成8年(1996)8月20日

(51)Int.Cl.⁶

H 01 L 27/108
21/8242

識別記号

庁内整理番号

F I

技術表示箇所

7735-4M

H 01 L 27/10

671 C

審査請求 有 請求項の数 4 O L (全 9 頁)

(21)出願番号 特願平7-19555

(22)出願日 平成7年(1995)2月7日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 谷川 高穂

東京都港区芝五丁目7番1号 日本電気株
式会社内

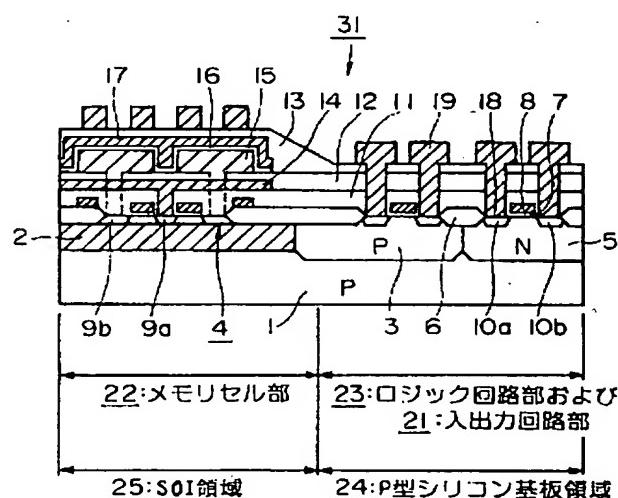
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】シリコン基板領域とSOI領域に形成したトランジスタの長所を充分に生かし、大容量化に対応し得る半導体装置を提供する。

【構成】回路構成としてメモリセル部22とロジック回路部23と入出力回路部21を有するとともに、デバイス構造としてSOI領域25とシリコン基板領域24を有するDRAM20において、メモリセル部22がSOI領域25に形成され、ロジック回路部23および入出力回路部21がシリコン基板領域24に形成されている。



【特許請求の範囲】

【請求項1】回路構成としてメモリセル部と、ロジック回路部と、入出力回路部を有するとともに、デバイス構造としてシリコン基板中に埋込み酸化膜層が形成されたSOI領域と、前記埋込み酸化膜層が形成されていないシリコン基板領域とを有する半導体装置において、前記メモリセル部が前記SOI領域上に形成され、前記ロジック回路部と前記入出力回路部が前記シリコン基板領域上に形成されたことを特徴とする半導体装置。

【請求項2】請求項1に記載の半導体装置において、前記SOI領域における前記埋込み酸化膜層上方のシリコン層の膜厚が10～100nmとされたことを特徴とする半導体装置。

【請求項3】回路構成としてメモリセル部と、センスアンプ回路部を含むロジック回路部と、入出力回路部を有するとともに、デバイス構造としてシリコン基板中に埋込み酸化膜層が形成されたSOI領域と、前記埋込み酸化膜層が形成されていないシリコン基板領域とを有する半導体装置において、前記メモリセル部と前記センスアンプ回路部が前記SOI領域上に形成され、前記センスアンプ回路部を除くロジック回路部と前記入出力回路部が前記シリコン基板領域上に形成されるとともに、

前記SOI領域内において前記センスアンプ回路部にあたる前記埋込み酸化膜層上方のシリコン層の膜厚が前記メモリセル部にあたるシリコン層の膜厚に比べて厚くされたことを特徴とする半導体装置。

【請求項4】請求項3に記載の半導体装置において、前記SOI領域において前記センスアンプ回路部にあたる前記シリコン層の膜厚が100～150nmとされ、前記メモリセル部にあたるシリコン層の膜厚が10～100nmとされたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置、特にSOI(Silicon On Insulating Substrate)構造を有するDRAM(Dynamic Random Access Memory)に関するものである。

【0002】

【従来の技術】従来、基板内に埋込み酸化膜を形成し、その上方に前記酸化膜により絶縁されたシリコン層を有する構造、いわゆるSOI構造をシリコン基板上で選択的に形成する方法は、例えば特開平2-218159号公報に記載されている、デバイスに対してこの種の構造を適用した場合には、SOI領域の特長とシリコン基板領域の特長を共有したデバイスを実現することができる。

【0003】図7は、上記公報に記載されたSOI形成技術を用いた半導体装置の一例として示す、スタッキヤバシタ型セルを有するDRAMの構成を示すものであ

る。

【0004】図7において、符号1はP型シリコン基板、2は埋込み酸化膜層、3はPウェル層、4はSOI層、5はNウェル層、6はフィールド酸化膜、7はゲート酸化膜、8はゲート電極、9aはn+型ソース拡散層、9bはn-型ドレイン拡散層、10aはp+型ソース拡散層、10bはp+型ドレイン拡散層、11、12、13は層間絶縁膜、14はビット線、15は容量蓄積電極、16は容量絶縁膜、17はセルプレート電極、18はコンタクト孔、19はアルミ配線である。

【0005】このDRAM20の構造上の特徴は、大電流を流す必要のある入出力回路部21を放熱性の高いP型シリコン基板領域24に形成し、メモリセル部22およびロジック回路部23を高速動作が可能なSOI領域25に形成した点である。そこで、このDRAM20において、SOI領域25に形成されたメモリセル部22およびロジック回路部23のトランジスタは埋込み酸化膜2およびフィールド酸化膜6により完全に絶縁分離されているので、メモリセル間の干渉やロジック回路部23におけるラッチアップを防止することができる。さらに、SOI領域25では寄生容量の低減が図れるので、メモリセル部22のビット線容量の低減によるセルの読み出し信号量の増加やロジック回路部23の高速動作が可能になる。また、メモリセル部22がSOI領域25に形成されたことで、α線によるソフトエラー耐性が向上する、PN接合面積が減少することで接合リーク電流を減少させてデータの保持特性を向上させることができ、という利点を有している。

【0006】以下、上記構成のDRAM20の製造方法を説明する。図8および図9はDRAM20の製造工程を順を追って示す断面図である。

【0007】まず、図8(a)に示すように、P型シリコン基板1表面にシリコン酸化膜26を形成した後に、フォトレジスト27をマスクとしてメモリセル部とロジック回路部を形成する領域にのみP型シリコン基板1中に酸素イオン(O+)を加速電圧200keV、注入密度 $1 \times 10^{17} \sim 2 \times 10^{18} \text{ cm}^{-2}$ 程度で注入し、ついで、1300°C、6時間の熱処理を行なう。

【0008】これにより、図8(b)に示すように、注入された酸素がP型シリコン基板1中のシリコンと反応して埋込み酸化膜層2が形成され、その上方がシリコン層28(SOI層)となるSOI領域25が形成される。このSOI層28の膜厚は注入された酸素の量により異なるが、 10^{18} cm^{-2} の注入密度の場合には150nm程度となる。また、SOI領域25以外の埋込み酸化膜層2が形成されていない領域をP型シリコン基板領域24と称する。

【0009】つぎに、図8(b)に示すように、フォトレジスト29をマスクとしてボロン(B+)を加速電圧70keV、注入密度 $1 \sim 2 \times 10^{13} \text{ cm}^{-2}$ 程度で注入

する、

【0010】ついで、図8(c)に示すように、前工程のレジストパターンに対して反転したパターンとされたフォトレジスト30をマスクとして、リン(P⁺)を加速電圧150keV、注入密度 $1 \sim 2 \times 10^{13} \text{ cm}^{-2}$ 程度で注入し、さらに、窒素と酸素の雰囲気中で1200°C、約1時間の熱処理を行なう。この熱処理により注入したボロンとリンを拡散させ、図8(d)に示すように、Pウェル層3およびNウェル層5を形成する。

【0011】つぎに、図9(a)に示すように、通常のLOCOS法を用いてフィールド酸化膜6を形成する、

【0012】さらに、ゲート酸化膜形成、ゲート電極形成、n⁺型不純物、p⁺型不純物導入等の各工程を経て、図9(b)に示すように、Pウェル層3上のゲート酸化膜7、ゲート電極8、n⁺型ソース拡散層9a、およびn⁺型ドレイン拡散層9bからなるNMOSトランジスタと、Nウェル層5上のゲート酸化膜7、ゲート電極8、p⁺型ソース拡散層10a、およびp⁺型ドレイン拡散層10bからなるPMOSトランジスタを形成する。

【0013】ついで、図9(c)に示すように、CVD法によるシリコン酸化膜、PSG膜またはBPSG膜からなる層間絶縁膜11、タンクスチールシリサイド(WSi)からなるビット線14、および層間絶縁膜12を形成する。ついで、多結晶シリコンからなる容量蓄積電極15、シリコン窒化膜とシリコン酸化膜からなる容量絶縁膜16、および多結晶シリコンからなるセルプレート電極17を形成する。

【0014】つぎに、図9(d)に示すように、シリコン酸化膜、PSG膜あるいはBPSG膜からなる層間絶縁膜13を形成した後に、所定の領域にコンタクト孔18を開口し、ついでアルミ配線19を形成することにより、上記構成のDRAM20が完成する。

【0015】

【発明が解決しようとする課題】ところで、上記従来のDRAM20では、入出力回路部21のみをP型シリコン基板領域24に形成し、ロジック回路部23およびメモリセル部22をSOI領域25に形成したが、現在の大容量DRAMではチップ全体の面積に占めるメモリセル部22、ロジック回路部23、入出力回路部21の面積比は、それぞれ50%、40%，10%程度となっている。そして、入出力回路部21の面積は大容量化には関係なくほぼ一定の占有面積を維持しているのに対し、メモリセル部22およびロジック回路部23の面積は大容量化に伴って必要とする占有面積は増大する一方である。

【0016】また、大容量化に伴って大電流を充放電する回路は入出力回路部21内だけではなく、ロジック回路部23内にも増大してきている、すなわち、チップ全体の発熱量が増加してきており、したがって、上記従来

のDRAM20のように入出力回路部21のみを放熱性の高いP型シリコン基板領域24に形成しただけではチップ温度の上昇を抑えることができず、メモリセルのデータ保持特性が劣化してしまうといった問題点があった。

【0017】一方、SOI領域25に形成したトランジスタの長所であるサブスレショルド特性の改善や短チャネル効果の抑制を図るためにには、SOI領域25のシリコン膜厚を100nm以下に薄膜化しなければならないが、そのようにすると今度はソース・ドレイン拡散層の寄生抵抗が増大するという問題点が生じてしまう。そこで、チタンシリサイド(TiSi)を用いたサリサイド技術や選択タンクスチール(W)成長技術を用いて拡散層をせり上げて形成することで上記問題点を対策するようを考えることもできる。

【0018】しかしながら、チタンやタンクスチール等の高融点金属を用いる場合には750°C以上の熱処理を施すことができないことから、これらの金属はキャバシタ形成時に800°C以上の熱処理を行なう必要があるDRAM製造プロセスとの相性が悪いという問題がある。また、特に低価格であることが重要なDRAMにおいては、製造コストを増大させる要因となる高融点金属の使用は極力避けなければならないという事情もある。このような理由から、DRAM製造プロセスにはチタンシリサイド技術や選択タンクスチール成長技術を用いることができないため、ソース・ドレイン拡散層の寄生抵抗増大に対する有効な対策を行なうことが極めて困難であった。

【0019】本発明は、前記の課題を解決するためになされたものであって、シリコン基板領域とSOI領域にそれぞれ形成したトランジスタの長所を充分に生かすことで良好な特性を実現するとともに、大容量化に対応し得る半導体装置を提供することを目的とする。

【0020】

【課題を解決するための手段】前記の目的を達成するために、本発明の半導体装置は、回路構成としてメモリセル部と、ロジック回路部と、入出力回路部を有するとともに、デバイス構造としてシリコン基板中に埋込み酸化膜層が形成されたSOI領域と、前記埋込み酸化膜層が形成されていないシリコン基板領域とを有する半導体装置において、前記メモリセル部が前記SOI領域上に形成され、前記ロジック回路部と前記入出力回路部が前記シリコン基板領域上に形成されたことを特徴とするものである、また、前記SOI領域における埋め込み酸化膜層上方のシリコン層の膜厚は10～100nmとすることが望ましい。

【0021】または、回路構成としてメモリセル部と、センスアンプ回路部を含むロジック回路部と、入出力回路部を有するとともに、デバイス構造としてシリコン基板中に埋込み酸化膜層が形成されたSOI領域と、前記

埋込み酸化膜層が形成されていないシリコン基板領域とを有する半導体装置において、前記メモリセル部と前記センスアンプ回路部が前記SOI領域上に形成され、前記センスアンプ回路部を除くロジック回路部と前記入出力回路部が前記シリコン基板領域上に形成されるとともに、前記SOI領域内において前記センスアンプ回路部にあたる前記埋込み酸化膜層上方のシリコン層の膜厚が前記メモリセル部にあたるシリコン層の膜厚に比べて厚くされたことを特徴とするものである。また、前記SOI領域において前記センスアンプ回路部にあたる前記シリコン層の膜厚を100～150nmとし、前記メモリセル部にあたるシリコン層の膜厚を10～100nmとすることが望ましい。

【0022】

【作用】本発明の半導体装置においては、メモリセル部がSOI領域に形成されているので、埋め込み酸化膜により領域中に形成した各トランジスタが絶縁分離され、ラッチアップを防止することができるとともに、寄生容量の低減を図ることができる。その一方、ロジック回路部と入出力回路部がシリコン基板領域に形成されているので、これら回路部から発生する熱が効率良く放熱され、チップ温度の上昇防止を図ることができる。この際、前記SOI領域における埋込み酸化膜層上方のシリコン層の膜厚を10～100nmとすれば、メモリセルトランジスタのサブスレショルド特性の改善や短チャネル効果の抑制が図れる。

【0023】また、ロジック回路部の一部を構成するセンスアンプ回路部をSOI領域に形成し、かつ、センスアンプ回路部にあたる前記シリコン層の膜厚を前記メモリセル部にあたるシリコン層の膜厚に比べて厚くした場合には、センスアンプ回路部のビット線の寄生容量が低減されると同時に、拡散層の接合深さを深くできるため拡散層抵抗が低減される。この際、前記SOI領域において前記センスアンプ回路部にあたる前記シリコン層の膜厚を100～150nmとし、前記メモリセル部にあたるシリコン層の膜厚を10～100nmとすれば、センスアンプ回路部の拡散層接合深さを100～150nmとすることで拡散層抵抗を100～300Ω/□程度に設定できる。

【0024】

【実施例】以下、本発明の第1実施例を図1ないし図4を参照して説明する。

【0025】図1は本実施例のDRAM31(半導体装置)を示す断面図であって、図中符号1はP型シリコン基板、2は埋込み酸化膜層、3はPウェル層、4はSOI層、5はNウェル層、6はフィールド酸化膜、7はゲート酸化膜、8はゲート電極、9aはn⁻型ソース拡散層、9bはn⁻型ドレイン拡散層、10aはp⁻型ソース拡散層、10bはp⁻型ドレイン拡散層、11、12、13は層間絶縁膜、14はビット線、15は容量部

積電極、16は容量絶縁膜、17はセルプレート電極、18はコントラクト孔、19はアルミ配線である。なお、図において、図7に示した従来のDRAMと同一の構成要素については同一の符号を付す。

【0026】また、図4はこのDRAM31の平面図であって、このDRAM31は、メモリセル部22と、入出力回路部21と、行アドレス制御信号発生回路32、列デコーダ制御信号発生回路33、行デコーダ部34、列デコーダ部35、メモリセルの信号を増幅するためのセンスアンプ回路部36等を含むロジック回路部23とを有している。そして、図1に示すように、大電流を流す必要のある入出力回路部21とロジック回路部23は放熱性を良くするためにP型シリコン基板領域24に設けられ、メモリセル部22はSOI領域25に設けられている。また、SOI領域25における埋込み酸化膜層2上方、すなわちSOI層4のシリコン膜厚は10～100nm程度とされている。

【0027】以下、上記構成のDRAM31の製造方法を説明する。図2および図3は本実施例のDRAM31の製造工程を示す図である。

【0028】まず、図2(a)に示すように、P型シリコン基板1表面にシリコン酸化膜26を形成した後に、フォトレジスト27をマスクとしてメモリセル部を形成する領域にのみP型シリコン基板1中に酸素イオン(O⁺)を加速電圧200keV、注入密度 $1 \times 10^{17} \sim 2 \times 10^{18} \text{ cm}^{-2}$ 程度で注入し、ついで、1300°C、6時間の熱処理を行なう。

【0029】これにより、図2(b)に示すように、注入された酸素がP型シリコン基板1中のシリコンと反応して埋込み酸化膜層2が形成され、その上方にはシリコン層であるSOI層4が形成され、この部分がSOI領域25となる。このSOI層4の膜厚は注入された酸素の量により異なるが、 10^{13} cm^{-2} の注入密度の場合には150nm程度となってしまう。そこで、SOI層4のシリコン膜厚を10～100nmの範囲、例えば50nmにするためには、前述したように熱処理によって埋込み酸化膜層2を形成した後、P型シリコン基板1全面を200nm程度熱酸化し、ついで、フッ化水素酸(HF)液によるウェットエッチングで200nmの酸化膜を除去すると、200nmの酸化膜形成時にほぼ1/2の膜厚の100nm分が基板側に成長するので、結果的にP型シリコン基板1表面が100nm程度削られることになり、膜厚50nmのSOI層4が得られる。また、SOI領域25以外の埋込み酸化膜層2が形成されていない領域をP型シリコン基板領域24と称する。

【0030】つぎに、図2(c)に示すように、フォトレジスト29をマスクとしてボロン(B⁺)を加速電圧70keV、注入密度 $1 \sim 2 \times 10^{15} \text{ cm}^{-2}$ 程度で注入する。

【0031】ついで、図2(d)に示すように、前工程

のレジストパターンに対して反転したパターンとされたフォトレジスト30をマスクとして、リン(P^+)を加速電圧 150 keV 、注入密度 $1 \sim 2 \times 10^{13}\text{ cm}^{-2}$ 程度で注入し、さらに、窒素と酸素の雰囲気中で 1200°C 、約1時間の熱処理を行なう。この熱処理により注入したボロンとリンを拡散させ、図2(d)に示すように、Pウェル層3およびNウェル層5を形成する。

【0032】つぎに、図3(a)に示すように、通常のLOCOS法を用いてフィールド酸化膜6を形成する。

【0033】さらに、ゲート酸化膜形成、ゲート電極形成、n⁺型不純物、p⁺型不純物導入等の各工程を経て、図3(b)に示すように、Pウェル層3上のゲート酸化膜7、ゲート電極8、n⁺型ソース拡散層9a、およびn⁺型ドレイン拡散層9bからなるNMOSトランジスタと、Nウェル層5上にゲート酸化膜7、ゲート電極8、p⁺型ソース拡散層10a、およびp⁺型ドレイン拡散層10bからなるPMOSトランジスタを形成する。

【0034】つぎに、図3(c)に示すように、CVD法によるシリコン酸化膜、PSG膜またはBPSG膜からなる層間絶縁膜11、タングステンシリサイド(WSi)からなるビット線14、および層間絶縁膜12を形成する。ついで、多結晶シリコンからなる容量蓄積電極15、シリコン窒化膜とシリコン酸化膜からなる容量絶縁膜16、および多結晶シリコンからなるセルブレード電極17を形成する。

【0035】つぎに、図3(d)に示すように、シリコン酸化膜、PSG膜あるいはBPSG膜からなる層間絶縁膜13を形成した後に、所定の領域にコンタクト孔18を開口し、ついでアルミ配線19を形成することにより、上記構成のDRAM31が完成する。

【0036】本実施例のDRAM31においては、従来のDRAMと同様、SOI領域25上にメモリセル部22を形成したので、メモリセルトランジスタのサブスレショルド特性の改善や短チャネル効果の抑制、データ保持特性の向上、α線によるソフトエラー耐性の向上、ビット線容量の低減といった良好なメモリセル特性を維持することができる。そして、従来のDRAMではSOI領域25に形成していたロジック回路部23をP型シリコン基板領域24に形成するようにしたので、近年の大容量化に伴って増大したロジック回路部23から発生する熱をP型シリコン基板1を通して効率的に放熱することができる。その結果、チップの温度上昇を抑えることができるので、データ保持特性の劣化を防止することができる。

【0037】ところで、従来SOI領域25に形成していたロジック回路部23をP型シリコン基板領域24に形成したことで、ロジック回路の高速動作が図れるというロジック回路部23をSOI領域25に形成する際の利点が失われる懸念がある。しかしながら、ロジック回

路部23をP型シリコン基板領域24に形成した場合には、SOI層4の膜厚が 50 nm と限りがあることからSOI領域25では深いソース・ドレイン拡散層が形成できないのに対して、P型シリコン基板領域24では例えば $N_J = 0, 1 \sim 0, 15\text{ }\mu\text{m}$ といった充分に深いソース・ドレイン拡散層が形成できるため、トランジスタの拡散層抵抗を $100 \sim 300\Omega/\square$ 程度に低く抑えることができる。これにより、ロジック回路の高速動作が可能であるという利点を従来通り確保することができる。

【0038】以下、本発明の第2実施例について図5および図6を参照して説明する。

【0039】図5は本実施例のDRAM38(半導体装置)を示す断面図であって、図中符号1はP型シリコン基板、2は埋込み酸化膜層、3はPウェル層、4はSOI層、5はNウェル層、6はフィールド酸化膜、7はゲート酸化膜、8はゲート電極、9aはn⁺型ソース拡散層、9bはn⁺型ドレイン拡散層、10aはp⁺型ソース拡散層、10bはp⁺型ドレイン拡散層、11、12、13は層間絶縁膜、14はビット線、15は容量蓄積電極、16は容量絶縁膜、17はセルブレード電極、18はコンタクト孔、19はアルミ配線である。なお、図において、図1に示した第1実施例のDRAM31と同一の構成要素については同一の符号を付す。

【0040】本実施例のDRAM38の構成が第1実施例のDRAMと異なる点は、ロジック回路部23の一部を構成するセンスアンプ回路部36をメモリセル部22とともにSOI領域25に形成し、センスアンプ回路部36を除くロジック回路部23と入出力回路部21をP型シリコン基板領域24に形成した点である。そして、さらにSOI領域25においてメモリセル部22とセンスアンプ回路部36を形成する領域のシリコン層4(SOI層)膜厚をそれぞれ区別している。すなわち、メモリセル部形成領域のSOI層膜厚を $10 \sim 100\text{ nm}$ とし、センスアンプ回路部形成領域のSOI層膜厚を $100 \sim 150\text{ nm}$ としてメモリセル部より厚く形成している。

【0041】以下、上記構成のDRAM38の製造方法を説明する。図6は本実施例のDRAM38の製造工程を示す図である。なお、P型シリコン基板1中に埋込み酸化膜層2を形成し、SOI領域25のSOI層4膜厚をメモリセル部形成領域とセンスアンプ回路部形成領域で作り分けた後の工程は第1実施例のものと同様であるため、それ以降の工程については、図示を省略する。

【0042】まず、図6(a)に示すように、P型シリコン基板1表面にシリコン酸化膜26を形成した後に、フォトレジスト27をマスクとしてメモリセル部とセンスアンプ回路部を形成する領域のP型シリコン基板1中に酸素イオン(O^+)を加速電圧 200 keV 、注入密度 $1 \times 10^{17} \sim 2 \times 10^{18}\text{ cm}^{-2}$ 程度で注入し、つい

で、1300°C、6時間の熱処理を行なう。

【0043】これにより、図6(b)に示すように、注入された酸素がP型シリコン基板1中のシリコンと反応して埋込み酸化膜層2が形成され、その上方はシリコン層であるSOI層4となる。このSOI層4の膜厚は注入された酸素の量によって異なるが、 10^{18} cm^{-2} の注入密度の場合には150nm程度となる。

【0044】ここで、本実施例の場合には第1実施例の場合と異なり、SOI領域25においてメモリセル部22形成領域のSOI層4膜厚を10~100nm、センスアンプ回路部36形成領域のSOI層4膜厚を100~150nmと異なる膜厚にする必要がある。そこで、一例としてメモリセル部22形成領域のSOI層4膜厚を50nm、センスアンプ回路部36形成領域のSOI層4膜厚を120nmとする場合には、まず、P型シリコン基板1全面に60nm程度のシリコン熱酸化膜39と100nm程度のシリコン窒化膜40を順次形成した後、フォトレジストをマスクとしてメモリセル部22形成領域のシリコン窒化膜40のみをエッチング除去する。

【0045】つぎに、図6(c)に示すように、フォトレジスト41を除去した後、酸素/水素雰囲気中で980°Cの酸化処理を行ない、メモリセル部22形成領域のシリコン酸化膜39を選択酸化することでこの部分の膜厚を60nmから200nmに成長させる。ついで、シリコン窒化膜40をリン酸(HPO₃)溶液でエッチング除去した後にフッ化水素酸(HF)液によるウェットエッチングを施すことによりシリコン酸化膜39を除去する。

【0046】以上の処理を施すと、シリコン熱酸化膜39の形成においては膜厚のほぼ1/2がシリコン基板側に成長するため、60nmのシリコン酸化膜形成工程では30nm分のシリコン基板がシリコン酸化膜39となることにより、SOI領域25のシリコン膜厚が当初の150nmから120nmとなり、センスアンプ回路部36形成領域ではこの膜厚が最後まで維持されるため、センスアンプ回路部36のSOI層4膜厚は120nmとなる。そして、この状態からメモリセル部22形成領域における200nmのシリコン酸化膜形成工程さらに70nm分のシリコン基板がシリコン酸化膜となることにより、メモリセル部22形成領域のSOI層4膜厚が120nmから50nmとなる。このようにして、図6(d)に示すようなそれぞれの領域において膜厚の異なるSOI層4を得ることができる。

【0047】その後、図2(b)以降に示した第1実施例と同様の製造工程、すなわち、Pウェル層/Nウェル層形成、フィールド酸化膜形成、PMOS、NMOSトランジスタ形成、ビット線形成、キャバシタ形成、アルミニ配線形成等の種々の工程を経て、本実施例のDRAM38が完成する。

【0048】本実施例のDRAM38においても、基本的にメモリセル部22をSOI領域25に、ロジック回路部23と入出力回路部24をP型シリコン基板領域24に形成したことで、第1実施例の場合と同様、メモリセルトランジスタの特性改善、データ保持特性の向上、 α 線によるソフトエラー耐性の向上、ビット線容量の低減等の良好なメモリセル特性、また、ロジック回路部23における放熱性向上によるデータ保持特性の劣化防止、といった優れた効果を奏すことができる。

【0049】そして、本実施例における格別な効果としては、以下の点を挙げることができる。すなわち、ロジック回路部23のうちセンスアンプ回路部36のみをSOI領域25に形成するようにし、センスアンプ回路部36のSOI層4膜厚を100~150nmとメモリセル部22に比べて厚く形成するようにしたので、センスアンプ回路部36のトランジスタにおけるソース・ドレイン拡散層の接合深さを例えば $X_j = 0, 1 \sim 0, 15 \mu\text{m}$ と充分に深くすることができ、トランジスタの拡散層抵抗をP型シリコン基板領域24に形成した他のロジック回路部23のトランジスタと同等の100~300 Ω/\square 程度に低く抑えることができる。したがって、ロジック回路全体として高速動作を可能とすることができる。そして、第1実施例のDRAMに比べてセンスアンプ回路部36のビット線の寄生容量を低減することができる。メモリセルからの読み出し信号量が増加し、ノイズ耐性をより改善することができる。

【0050】なお、上記第1、第2実施例においては、材料となるシリコン基板としてP型シリコン基板1を用いたが、N型シリコン基板を用いてもよい。また、イオン注入工程における加速電圧、注入密度、熱処理工程における時間、温度等、各製造工程における製造条件については、これら実施例に記載した条件に限ることなく、適宜変更してよいことは勿論である。

【0051】

【発明の効果】以上、詳細に説明したように、本発明の半導体装置においては、従来のDRAMと同様、SOI領域上にメモリセル部を形成したことで、メモリセルトランジスタのサブスレショルド特性の改善や短チャネル効果の抑制、データ保持特性の向上、 α 線によるソフトエラー耐性の向上、ビット線容量の低減といった良好なメモリセル特性を確保することができる。その上で、従来のDRAMではSOI領域に形成していたロジック回路部をシリコン基板領域に形成するようにしたので、ロジック回路部から発生する熱をシリコン基板を通して効率的に放熱し、チップの温度上昇を抑えることができる。データ保持特性の劣化を防止することができる。さらに、ロジック回路部をシリコン基板領域に形成したことで、シリコン基板領域では充分に深い拡散層が形成できるため、ロジック回路部のトランジスタの拡散層抵抗を小さく抑えることができ、ロジック回路の高速動作

を可能にすことができる。

【0052】また、ロジック回路部の一部であるセンスアンプ回路部をメモリセル部と同様SOI領域に形成し、さらに、SOI領域においてセンスアンプ部にあたるシリコン層の膜厚をメモリセル部にあたるシリコン層の膜厚より厚くした場合には、センスアンプ回路部のトランジスタにおける拡散層の接合深さを充分に深くすることができ、トランジスタの拡散層抵抗をシリコン基板領域に形成した他のロジック回路部のトランジスタと同等に小さく抑えることができる。したがって、ロジック回路全体として高速動作を可能とすることができる。その上で、センスアンプ回路部のビット線の寄生容量を低減することができるので、メモリセルからの読み出し信号量が増加し、ノイズ耐性をより改善することができる。

【0053】このように、本発明の半導体装置によれば、大容量化に伴う発熱量の増加に起因する問題点を解消することができるとともに、シリコン基板領域上とSOI領域上にそれぞれ形成したトランジスタの長所を充分に生かすことで、全体として良好な特性を有する半導体装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の第1実施例であるDRAM(半導体装置)を示す断面図である。

【図2】同、DRAMの製造工程を順を追って示す断面図の前半部分である。

【図3】同、後半部分である。

【図4】同、DRAMの平面図である。

【図5】本発明の第2実施例であるDRAM(半導体装置)を示す断面図である。

【図6】同、DRAMの製造工程を順を追って示す断面図である。

【図7】従来の一例として示すDRAMの断面図である。

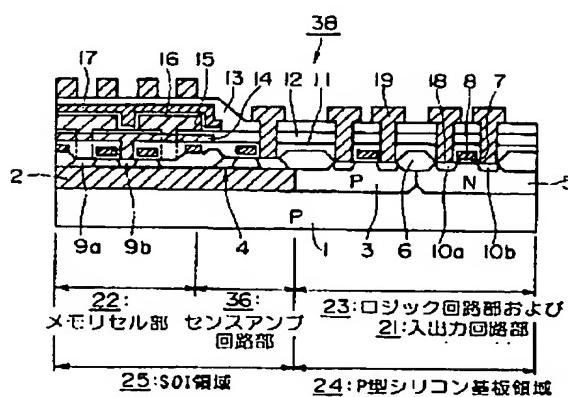
【図8】同、DRAMの製造工程を順を追って示す断面図の前半部分である。

【図9】同、後半部分である。

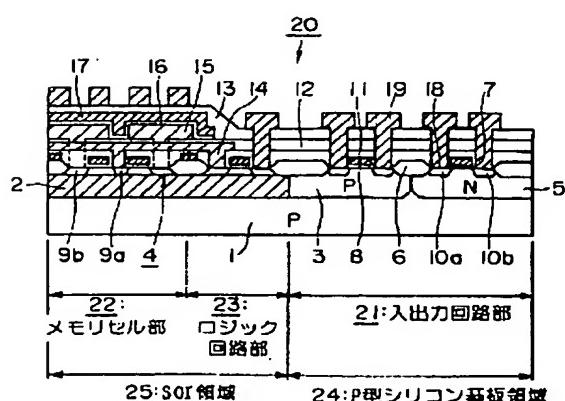
【符号の説明】

- | | |
|----------------|-------------------------|
| 1 | P型シリコン基板(シリコン基板) |
| 2 | 埋込み酸化膜層 |
| 3 | Pウェル層 |
| 4 | SOI層 |
| 5 | Nウェル層 |
| 6 | フィールド酸化膜 |
| 7 | ゲート酸化膜 |
| 8 | ゲート電極 |
| 9a | n ⁺ 型ソース拡散層 |
| 9b | n ⁺ 型ドレイン拡散層 |
| 10a | p ⁺ 型ソース拡散層 |
| 10b | p ⁺ 型ドレイン拡散層 |
| 11, 12, 13 | 層間絶縁膜 |
| 14 | ビット線 |
| 15 | 容量蓄積電極 |
| 16 | 容量絶縁膜 |
| 17 | セルプレート電極 |
| 18 | コンタクト孔 |
| 19 | アルミ配線 |
| 20, 31, 38 | DRAM(半導体装置) |
| 21 | 入出力回路部 |
| 22 | メモリセル部 |
| 23 | ロジック回路部 |
| 24 | P型シリコン基板領域(シリコン基板領域) |
| 25 | SOI領域 |
| 26, 39 | シリコン酸化膜 |
| 27, 29, 30, 41 | フォトレジスト |
| 32 | 行アドレス制御信号発生回路 |
| 33 | 列デコーダ制御信号発生回路 |
| 34 | 行デコーダ部 |
| 35 | 列デコーダ部 |
| 36 | センスアンプ回路部 |
| 40 | シリコン窒化膜 |

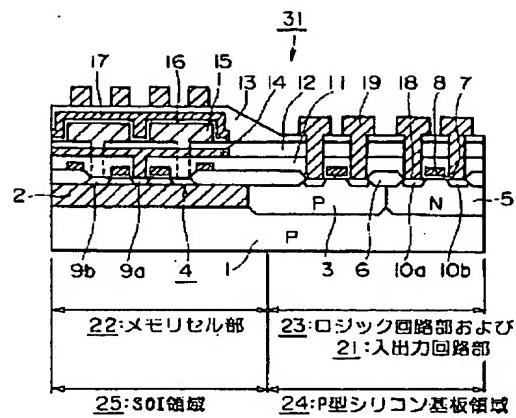
【図5】



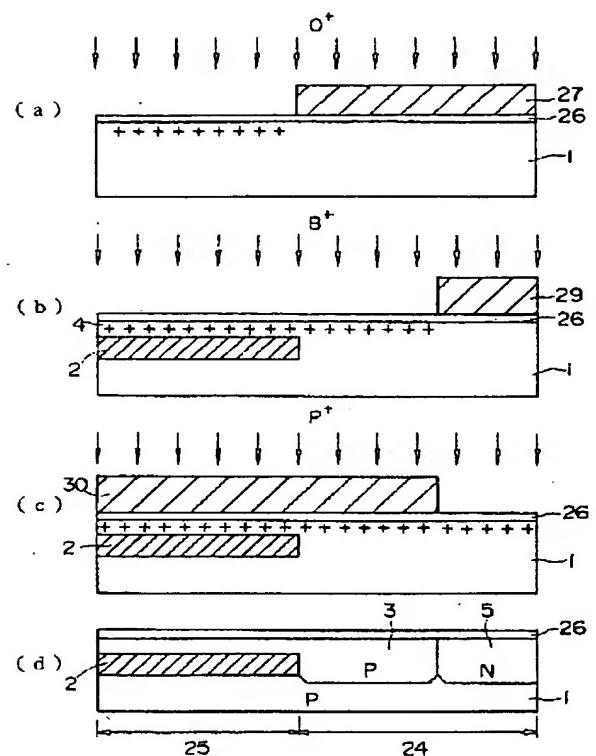
【図7】



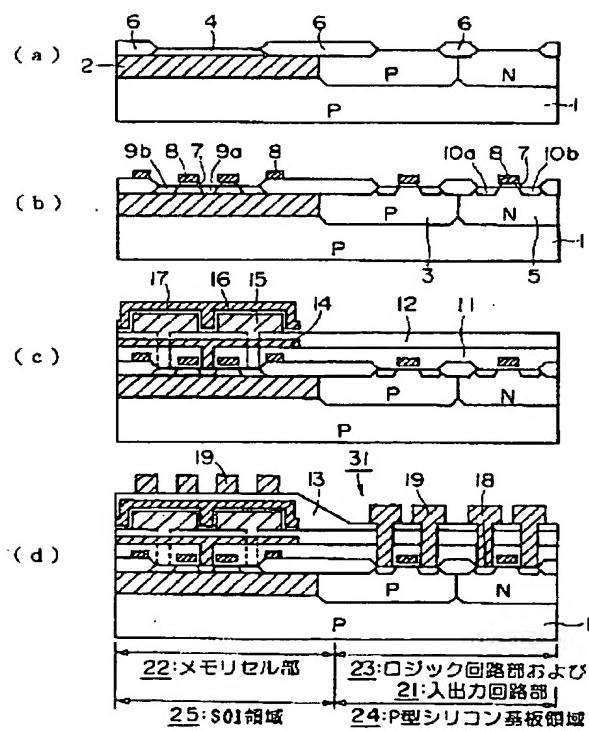
【図1】



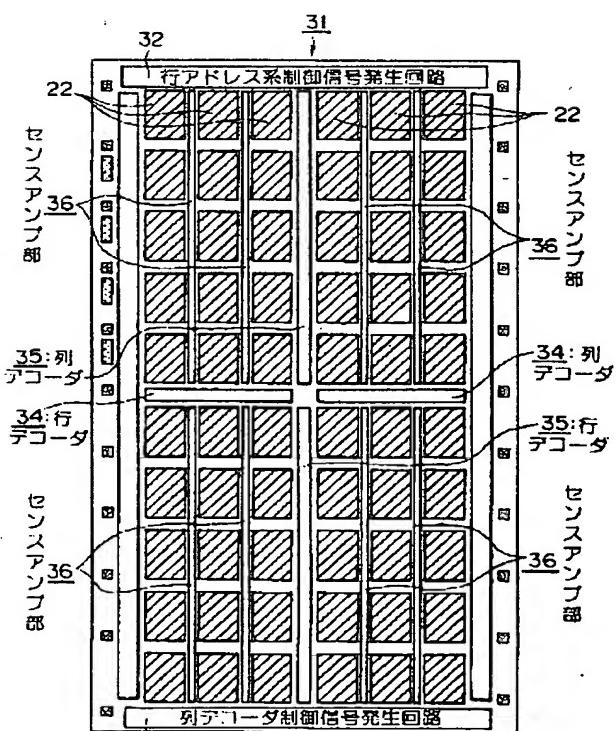
【図2】



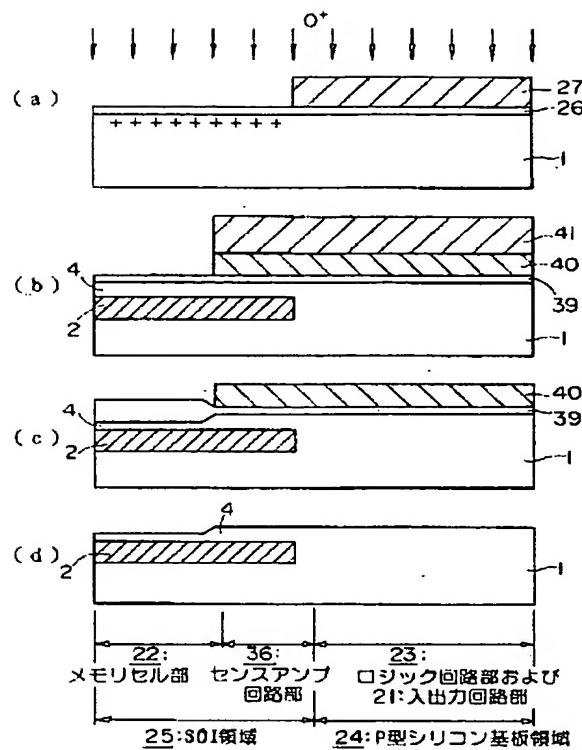
【図3】



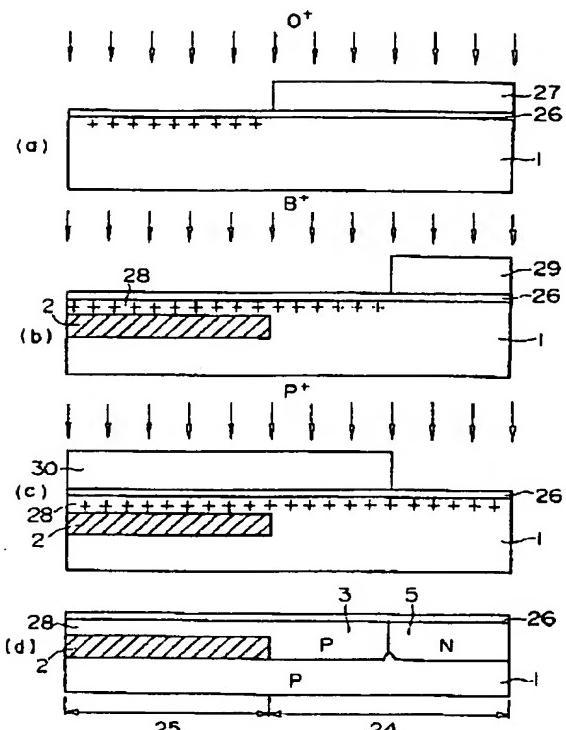
【図4】



【図6】



【図8】



【図9】

